

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0016

Applicant: Hee Bok KANG

Confirmation No.: 8073

Appl. No.: 10/608,427

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: 2818

Title: NONVOLATILE FERAM CONTROL DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0070066 filed November 12, 2002

Respectfully submitted,

Date: 11/24/03

By Johnny A. Kumar
Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0070066
Application Number

출원 년 월 일 : 2002년 11월 12일
Date of Application NOV 12, 2002

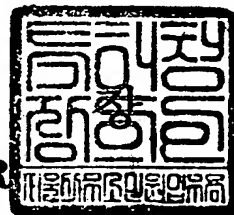
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.12
【국제특허분류】	H01L
【발명의 명칭】	불휘발성 강유전체 메모리 제어 장치
【발명의 영문명칭】	Device for controlling non-volatile ferroelectric memory
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG,Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	35 면 35,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	31	항	1,101,000	원
【합계】	1,165,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 불휘발성 강유전체 메모리 제어 장치에 관한 것으로, 레지스터에 제공되는 펌핑 전압을 제어하여 저전압에서 안정된 프로그래머블 레지스터를 구동하도록 하는 불휘발성 강유전체 메모리 제어 장치에 관한 것이다. 이러한 본 발명은 펌핑전압 제어부와, 셀플레이트 전압 제어부와, 라이트 인에이블 전압 제어부 및 레지스터 어레이를 구비한다. 여기서, 펌핑전압 제어부는 전원 제어신호의 인가시 전원전압 제어신호의 상태에 따라 전원전압을 펌핑하여 펌핑전압 제어신호를 출력하고, 셀플레이트 전압 제어부는 셀플레이트 제어신호의 인가시 전원전압 제어신호의 상태에 따라 셀플레이트 펌핑전압 제어신호를 출력하며, 라이트 인에이블 전압 제어부는 라이트 인에이블 제어신호의 인가시 전원전압 제어신호의 상태에 따라 라이트 인에이블 펌핑전압 제어신호를 출력한다. 또한, 본 발명의 레지스터 어레이는 펌핑전압 제어신호와, 셀플레이트 펌핑전압 제어신호 및 라이트 인에이블 펌핑전압 제어신호의 전압 레벨에 따라 각각의 단위 레지스터들의 출력신호를 부스팅하여 출력한다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

불휘발성 강유전체 메모리 제어 장치{Device for controlling non-volatile ferroelectric memory}

【도면의 간단한 설명】

도 1은 일반적인 강유전체의 히스테리시스 특성도.

도 2는 종래의 불휘발성 강유전체 메모리의 셀 소자 구성도.

도 3a는 종래의 불휘발성 강유전체 메모리의 쓰기 모드 동작 타이밍도.

도 3b는 종래의 불휘발성 강유전체 메모리의 읽기 모드 동작 타이밍도.

도 4는 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 구성도.

도 5는 도 4의 단위 레지스터에 관한 상세 회로도.

도 6 내지 도 9는 도 4의 단위 레지스터에 관한 다른 실시예들.

도 10은 도 4의 펌핑 전압 제어부에 관한 상세 회로도.

도 11은 도 4의 셀플레이트 전압 제어부 및 라이트 인에이블 전압 제어부에 관한 상세 구성도.

도 12는 도 11의 셀플레이트 전압 제어부 및 라이트 인에이블 전압 제어부에 관한 상세 회로도.

도 13은 도 12의 셀플레이트 전압 제어부 및 라이트 인에이블 전압 제어부에 관한 동작 타이밍도.

도 14 및 도 15는 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 동작 타이밍도.

도 16 및 도 17은 본 발명의 다른 실시예들을 나타내는 구성도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 불휘발성 강유전체 메모리 제어 장치에 관한 것으로, 특히, 저전압 영역에서 레지스터의 승압시 안정된 프로그래머블 레지스터를 구동하도록 하는 불휘발성 강유전체 메모리 제어 장치에 관한 것이다.

<15> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM;Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.

<16> 이러한 FRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.

<17> 도 1은 일반적인 강유전체의 특성인 히스테리시스 루프(Hysteresis loop)를 나타낸다.

<18> 히스테리시스 루프는 전계에 의해 유기된 분극이 전계를 제거하더라도 잔류 분극(또는 자화 분극)의 존재로 인하여 소멸되지 않고 일정량(d,a상태)을 유지하고

있는 것을 알 수 있다. 불휘발성 강유전체 메모리 셀은 상기 d,a상태를 각각 1,0으로 대응시켜 기억소자로 응용한 것이다.

- <19> 도 2는 종래의 불휘발성 강유전체 메모리의 단위 셀 소자 구성을 나타낸다.
 - <20> 불휘발성 강유전체 메모리의 단위 셀은, 일방향으로 비트라인 BL이 형성되고, 비트라인 BL과 교차하는 방향으로 워드라인 WL이 형성되고, 워드라인 WL에 일정한 간격을 두고 워드라인 WL과 동일한 방향으로 플레이트 라인 PL이 형성된다.
 - <21> 그리고, 트랜지스터 T1는 게이트가 워드라인 WL에 연결되고, 소스는 비트라인 BL에 연결되며, 드레인은 강유전체 캐패시터 FC0의 일단과 연결된다. 또한, 강유전체 캐패시터 FC0의 다른 일단은 플레이트 라인 PL에 연결된다.
 - <22> 이러한 구성을 갖는 종래의 불휘발성 강유전체 메모리의 데이터 입/출력 동작을 도 3a 및 도 3b를 참조하여 설명하면 다음과 같다.
 - <23> 도 3a는 종래의 불휘발성 강유전체 메모리의 쓰기 모드(Write mode)시 동작타이밍도이다.
 - <24> 먼저, 쓰기 모드시 액티브 구간에 진입하면 외부에서 인가되는 칩 인에이블 신호 CEB가 하이에서 로우로 활성화되고, 이와 동시에 쓰기 인에이블 신호가 하이에서 로우로 천이하면 쓰기 모드가 시작된다. 이어서, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인 WL에 인가되는 펄스가 로우에서 하이로 천이되어 셀이 선택된다.
 - <25> 이와 같이, 워드라인 WL이 하이 상태를 유지하고 있는 구간에서 해당 플레이트 라인 PL에는 차례로 일정 구간의 하이 신호와 일정 구간의 로우 신호가 인가된다.
- 그리고, 선택된 셀에 로직값 1 또는 0을 쓰기 위해 해당 비트라인 BL에 쓰기 인에이블

신호에 동기되는 하이 또는 로우 신호를 인가한다. 이때, 센스앰프 인에이블 신호 SEN은 하이 상태를 유지한다.

<26> 즉, 비트라인 BL에 하이 신호가 인가되고 플레이트 라인 PL에 인가되는 신호가 로우이면 강유전체 캐패시터 FC1에는 입력 데이터 DIN의 값이 로직 "1"로 기록된다. 그리고, 비트라인 BL에 로우 신호가 인가되고 플레이트 라인 PL에 인가되는 신호가 하이 신호이면 강유전체 캐패시터 FC1에는 입력 데이터 DIN의 값이 로직 "0"로 기록된다.

<27> 또한, 도 3b는 읽기 모드(Read mode)시 동작 타이밍도를 나타낸다.

<28> 읽기 모드시 액티브 구간에 진입하게 되면 외부에서 칩 인에이블 신호 CEB를 하이에서 로우로 활성화시키고, 해당 워드라인 WL이 선택되기 이전에 모든 비트라인 BL은 이 쉼라이즈(Equalize) 신호에 의해 로우 전압으로 등전위 된다.

<29> 그리고, 각 비트라인 BL을 비활성화 시킨 다음 어드레스를 디코딩하면 디코딩된 어드레스에 의해 해당 워드라인 WL은 로우 신호가 하이 신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인 PL에 하이 신호를 인가하여 강유전체 메모리에 저장된 로직값 1에 상응하는 데이터 Qs를 파괴시킨다.

<30> 만약, 강유전체 메모리에 로직값 0이 저장되어 있다면 그에 상응하는 데이터 Qns는 파괴되지 않는다. 이와 같이, 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 된다.

<31> 즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않는 경우는 a에서 f로 변경되는 경우이다. 따라서, 일정시간이 경과한 후에 센스앰프 인에이블 신호 SEN에 의해 센스앰프가 인에이블 되면

데이터가 파괴된 경우는 증폭되어 출력 데이터 DOUT의 값으로 로직 "1"을 출력하고, 데이터가 파괴되지 않은 경우는 증폭되어 출력 데이터 DOUT의 값으로 로직 "0"을 출력한다.

- <32> 이와 같이, 센스앰프에서 데이터를 증폭한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인 WL에 하이 신호를 인가한 상태에서 플레이트 라인 PL을 하이에서 로우로 비활성화시킨다.
- <33> 이러한 종래의 불휘발성 강유전체 메모리에서 리던던시(Redundancy)를 수행할 경우에는 메탈/폴리 실리콘(Poly-Si) 배선 등을 이용하게 되는데, 이러한 종래의 리던던시 방법하에서는 레이저 커팅 등의 수단을 이용하기 때문에 커팅 처리의 에러시 잘못된 배선을 원상태로 복구할 수 없게 되는 문제점이 있다. 또한, FRAM칩의 셀 데이터를 제어하기 위한 기준전압 레벨을 정확히 조절하는 것이 불가능하여 칩의 신뢰성이 저하되는 문제점이 있다.
- <34> 상술한 문제점을 극복하기 위해 프로그래머블 레지스터를 이용하여 소프트웨어적으로 메모리 셀의 리던던시 및 기준전압 레벨을 조정하도록 하는 방법이 이미 개시된바 있다.
- <35> 그러나, 종래의 프로그래머블 단위 레지스터는 펌핑 전압 VPP이 아니라 외부 전원 전압 VCC를 그대로 사용하여 레지스터를 제어한다.
- <36> 따라서, 고전압 영역인 1.0V 이상에서는 정상적으로 동작하게 되는데, 저전압 영역인 1.0V 이하에서는 동작 마진을 확보하기 위해 전원전압 부스팅(Boosting) 방법이 요구된다.

<37> 여기서, 이러한 종래의 프로그래머블 단위 레지스터를 항상 펌핑전압 VPP으로 동작시킬 경우, 펌핑전압 VPP의 발생 과정에서 많은 전력소모가 발생하게 되는 문제점이 있다.

<38> 따라서, 본 발명은 최소한의 전력소모로 VPP를 이용할 수 있는 회로 구성 및 동작 설명에 관한 것이다.

【발명이 이루고자 하는 기술적 과제】

<39> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 저전압 영역에서 안정된 프로그래머블 레지스터를 구동시킴으로써 전력소모를 최소화시키고 칩의 신뢰성을 향상시키도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

<40> 상기한 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 제어 장치는, 전원 제어신호의 인가시, 전원전압이 저전압 영역인지 고전압 영역인지에 따라 그 출력레벨을 달리하는 전원전압 제어신호를 수신하여 펌핑전압 제어신호를 출력하는 펌핑전압 제어부와, 셀플레이트 제어신호의 인가시, 전원전압 제어신호의 상태에 따라 셀플레이트 펌핑전압 제어신호를 출력하는 셀플레이트 전압 제어부와, 라이트 인에이블 제어신호의 인가시, 전원전압 제어신호의 상태에 따라 라이트 인에이블 펌핑전압 제어신호를 출력하는 라이트 인에이블 전압 제어부 및 각각이 펌핑전압 제어신호, 셀플레이트 펌핑전압 제어신호 및 라이트 인에이블 펌핑전압 제어신호의 전압 레벨에 따라 불휘발성 강유전체 캐패시터에 저장된 데이터의 전압을 부스팅하여 출력하는 복수개의 단위 레지스터를 포함하는 레지스터 어레이를 구비함을 특징으로 한다.

- <41> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.
- <42> 도 4는 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 구성도이다.
- <43> 본 발명은 펌핑 전압 제어부(10)와, 셀플레이트 전압 제어부(20)와, 라이트 인에이블 전압 제어부(30) 및 n개의 레지스터 어레이(40)를 구비한다.
- <44> 여기서, 펌핑 전압 제어부(10)는 전원전압 제어신호 VCC_CON 및 전원 제어신호 PWR_VPP_CON에 따라 펌핑전압 제어신호 PWR_VPP를 출력한다.
- <45> 셀플레이트 전압 제어부(20)는 전원전압 제어신호 VCC_CON 및 셀플레이트 제어신호 CPL_VPP_CON에 따라 셀플레이트 펌핑전압 제어신호 CPL_VPP를 출력한다.
- <46> 라이트 인에이블 전압 제어부(30)는 전원전압 제어신호 VCC_CON 및 라이트 인에이블 제어신호 ENW_VPP_CON에 따라 라이트 인에이블 펌핑전압 제어신호 ENW_VPP를 출력한다.
- <47> 레지스터 어레이(40)는 풀업인에이블 신호 ENP와, 이퀄라이징 신호 EQN와, 풀다운 인에이블 신호 ENN와, 펌핑전압 제어신호 PWR_VPP와, 셀플레이트 펌핑전압 제어신호 CPL_VPP 및 라이트 인에이블 펌핑전압 제어신호 ENW_VPP에 따라 각각의 단위 레지스터들을 부스팅시켜 출력신호 OUT, /OUT를 출력한다.
- <48> 도 5는 도 4의 레지스터 어레이(40)에서 단위 레지스터의 상세 회로도를 나타낸다.
- <49> 단위 레지스터는 다른 회로 블록과 독립적으로 분리된 N웰 영역으로 구성된 펌핑 전압 구동부(41)와, 이퀄라이징부(42)와, 라이트 인에이블 펌핑 구동부(43)와, 강유전체 캐패시터부(44)와, 전압 구동부(45) 및 풀다운 구동소자 N7를 구비한다.

- <50> 먼저, 펌핑 전압 구동부(41)는 단위 레지스터에 공급되는 전원의 활성화 여부를 결정하기 위한 풀업 인에이블 신호 ENP가 인가되는 PMOS트랜지스터 P1과, 단위 레지스터 내부 노드 CN1,CN2의 증폭을 제어하기 위한 PMOS트랜지스터 P2,P3을 구비한다.
- <51> 여기서, PMOS트랜지스터 P1는 펌핑전압 제어신호 PWR_VPP 인가단과 PMOS트랜지스터 P2,P3의 공통 소스 단자 사이에 연결되어 게이트를 통해 풀업 인에이블 신호 ENP가 인가된다. PMOS트랜지스터 P2의 게이트는 PMOS트랜지스터 P3의 드레인 단자와 연결되고, PMOS트랜지스터 P3의 게이트는 PMOS트랜지스터 P2의 드레인 단자와 연결된다.
- <52> 여기서, PMOS트랜지스터 P1~P3는 다른 회로의 블록과 독립적으로 분리된 하나의 N 웰 영역에 형성되고, 이 N웰 영역에 펌핑전압 제어신호 PWR_VPP가 인가된다.
- <53> 이퀄라이징부(42)는 파워 온 초기시에 노드 CN1,CN2를 풀다운 구동하기 위한 이퀄라이징 신호 EQN에 의해 제어되는 NMOS트랜지스터 N1,N2를 구비한다.
- <54> NMOS트랜지스터 N1,N2는 소스단자를 통해 접지전압이 인가되고, 드레인 단자는 단위 레지스터의 양단의 노드 CN1,CN2와 연결된다. 그리고, NMOS트랜지스터 N1,N2는 공통 게이트 단자를 통해 이퀄라이징 신호 EQN가 인가되어 단위 레지스터의 양단의 노드 CN1,CN2를 이퀄라이징시킨다.
- <55> 라이트 인에이블 펌핑 구동부(43)는 NMOS트랜지스터 N3,N4의 공통 게이트 단자를 통해 라이트 인에이블 펌핑 전압 제어신호 ENW_VPP가 인가되어 단위 레지스터의 양단의 노드 CN1,CN2에 비트라인 BIT,/BIT의 전압을 출력한다.
- <56> 강유전체 캐패시터부(44)는 단위 레지스터의 노드 CN1에 일단이 연결된 강유전체 캐패시터 FC1와, 노드 CN에 일단이 연결된 강유전체 캐패시터 FC2를 구비한다. 그리고,

강유전체 캐패시터 FC1,FC2의 다른 일단을 통해 셀플레이트 펌핑전압 제어신호 CPL_VPP가 인가된다.

- <57> 또한, 노드 CN1과 접지전압 인가단 사이에 강유전체 캐패시터 FC3가 구비되고, 노드 CN2와 접지전압 인가단 사이에 강유전체 캐패시터 FC4가 구비되어 단위 레지스터 양단 노드 CN1,CN2의 캐패시터 로드를 조정한다.
- <58> 전압 구동부(45)는 NMOS트랜지스터 N5,N6을 구비하고, NMOS트랜지스터 N5의 게이트는 NMOS트랜지스터 N6의 드레인 단자와 연결되고, NMOS트랜지스터 N6의 게이트는 NMOS트랜지스터 N5의 드레인 단자와 연결되어 노드 CN1,CN2를 풀다운 증폭한다.
- <59> 풀다운 구동 소자인 NMOS트랜지스터 N7은 NMOS트랜지스터 N5 및 NMOS트랜지스터 N6의 공통 소스 단자와 접지전압 VSS 인가단 사이에 연결되어 게이트를 통해 단위 레지스터의 풀다운 증폭 활성화 여부를 제어하는 풀다운 인에이블 신호 ENN가 인가된다.
- <60> 도 6은 본 발명에 따른 단위 레지스터의 다른 실시예에 관한 회로도이다.
- <61> 도 6에 나타난 단위 레지스터는 도 5의 구성에 비해 초기의 파워온시 출력신호 OUT,/OUT의 풀다운을 제어하기 위한 이퀄라이징부가 생략된 구조이다. 그 이외의 나머지 구성은 도 5와 동일하므로 그 상세한 설명을 생략하기로 한다.
- <62> 즉, 초기 전원의 파워 온시에 전원전압이 공급되지 않을 경우 내부의 출력신호 OUT,/OUT의 전압 레벨이 같게 되면 풀다운 동작을 생략하는 것이 가능하다.
- <63> 도 7은 본 발명에 따른 단위 레지스터의 또 다른 실시예에 관한 회로도이다.

- <64> 도 7에 나타난 단위 레지스터는 도 6의 구성에 비해 단위 레지스터의 풀다운 증폭 활성화 여부를 제어하기 위한 풀다운 구동 소자 NMOS트랜지스터 N7가 생략된 구조이다. 그 이외의 나머지 구성은 도 6과 동일하므로 그 상세한 설명을 생략하기로 한다.
- <65> 즉, 내부 출력신호 OUT,/OUT의 센싱 전압 레벨이 순방향 피드백 형태로 출력 노드 CN1,CN2를 증폭할 경우, NMOS트랜지스터 N7이 없이도 풀다운 증폭 활성화 동작이 가능하게 된다.
- <66> 도 8은 본 발명에 따른 단위 레지스터의 또 다른 실시예에 관한 회로도이다.
- <67> 도 8에 나타난 단위 레지스터의 강유전체 캐패시터부(45)는 도 7의 구성에 비해 단위 레지스터 노드 CN1,CN2의 캐패시터 로드를 조정하기 위한 강유전체 캐패시터 소자 FC3,FC4가 생략된 구조이다. 그 이외의 나머지 구성은 도 7과 동일하므로 그 상세한 설명을 생략하기로 한다.
- <68> 즉, 내부 출력 노드 CN1,CN2의 자체 NMOS트랜지스터 및 PMOS 트랜지스터의 캐패시턴스(Capacitance) 값을 센싱 캐패시터로 이용하는 경우, 데이터를 저장하기 위한 강유전체 캐패시터 FC1,FC2의 캐패시터 사이즈가 아주 작을 때 활용성이 더욱 좋아진다. 이러한 경우, 강유전체 캐패시터 소자 FC3,FC4를 생략하는 것이 가능하다.
- <69> 도 9는 본 발명에 따른 단위 레지스터의 또 다른 실시예에 관한 회로도이다.
- <70> 도 9에 나타난 단위 레지스터는 도 8의 구성에 비해 라이트 인에이블 펌핑 구동부(47)의 구성이 상이하다.
- <71> 라이트 인에이블 펌핑 구동부(47)는 게이트에 입력되는 라이트 인에이블 펌핑 전압 제어신호 ENW_VPP에 따라 라이트 인에이블 신호 ENW를 NMOS트랜지스터 N3,N4의 게이트에

출력하는 NMOS트랜지스터 N8,N9를 더 구비한다. NMOS트랜지스터 N3,N4는 라이트 인에이블 신호 ENW에 따라 스위칭되어 비트라인 BIT,/BIT과 노드 CN1,CN2의 연결 관계를 제어한다.

- <72> 그 이외의 나머지 구성은 도 8과 동일하므로 그 상세한 설명을 생략하기로 한다.
- <73> 도 9의 단위 레지스터 구성은 저전압의 라이트 데이터인 비트라인 BIT,/BIT의 전압을 손실하지 않고도 정확한 데이터를 전달할 수 있도록 하는 구성이다.
- <74> 도 10은 도 4의 펌핑전압 제어부(10)에 관한 상세 회로도를 나타낸다.
- <75> 펌핑전압 제어부(10)는 전원전압 제어신호 VCC_CON와 전원 제어신호 PWR_VPP_CON를 낸드연산하는 낸드게이트 ND1와, 낸드게이트 ND1의 출력을 반전 지연하는 지연부(11)를 구비한다. 여기서, 지연부(11)는 인버터 체인으로 연결된 인버터 IV1,IV2,IV3를 구비한다.
- <76> 인버터 IV3의 출력단에는 모스 캐패시터 C1가 연결되고, 모스 캐패시터 C1는 전원 전압 VCC 인가단과 모스 캐패시터 C1의 출력단 사이에 연결되어 게이트에 구동부(12)의 출력신호가 인가되는 PMOS트랜지스터 P4와 연결된다.
- <77> 여기서, 구동부(12)는 PMOS트랜지스터 P4의 드레인 단자와 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 낸드게이트 ND1의 출력신호가 인가되는 PMOS트랜지스터 P5 및 NMOS트랜지스터 N8를 구비한다.
- <78> 이러한 구성을 갖는 펌핑전압 제어부(10)의 동작 과정을 설명하면 다음과 같다.

- <79> 먼저, 저전압 영역에서 전원전압 VCC를 펌핑하기 위해 전원전압 제어신호 VCC_CON와 전원 제어신호 PWR_VPP_CON가 모두 하이 레벨로 입력될 경우 낸드게이트 ND1는 로우 레벨을 출력한다.
- <80> 낸드게이트 ND1의 출력에 의해 구동부(12)의 PMOS트랜지스터 P5가 턴온되어 PMOS트랜지스터 P4가 턴오프된다. 따라서, 모스 캐패시터 C1의 출력에 의해 전원전압 VCC이 펌핑되어 펌핑 전압 제어신호 PWR_VPP가 펌핑전압 VPP 레벨로 출력된다.
- <81> 반면에, 고전압 영역에서 전원전압 한계 검출 신호인 전원전압 제어신호 VCC_CON가 로우 레벨로 입력될 경우, 낸드게이트 ND1는 하이 레벨을 출력한다.
- <82> 낸드게이트 ND1의 출력에 의해 구동부(12)의 NMOS트랜지스터 N8이 턴온되어 PMOS트랜지스터 P4가 턴온된다. 따라서, 모스 캐패시터 C1의 출력이 로우가 되어 펌핑 전압 제어신호 PWR_VPP가 전원전압 VCC 레벨로 출력된다.
- <83> 도 11은 도 4의 셀플레이트 전압 제어부(20) 및 라이트 인에이블 전압 제어부(30)에 관한 상세 구성도이다.
- <84> 셀플레이트 전압 제어부(20)(라이트 인에이블 전압 제어부(30))는 지연부(21)와, 펌핑부(22) 및 레벨 제어부(25)를 구비한다.
- <85> 지연부(21)는 셀플레이트 제어신호 CPL_VPP_CON(라이트 인에이블 제어신호 ENW_VPP_CON)를 지연하여 지연신호 DLY를 출력한다.
- <86> 펌핑부(22)는 전원전압 제어신호 VCC_CON 및 지연신호 DLY에 따라 전원전압을 펌핑하여 펌핑신호 VPP_SIG를 출력한다.

- <87> 레벨 제어부(25)는 펌핑신호 VPP_SIG 및 셀플레이트 제어신호 CPL_VPP_CON(라이트 인에이블 제어신호 ENW_VPP_CON)를 레벨 쉬프팅하여 셀플레이트 펌핑전압 제어신호 CPL_VPP(라이트 인에이블 펌핑전압 제어신호 ENW_VPP)를 출력한다.
- <88> 도 12는 도 11의 셀플레이트 전압 제어부(20) 및 라이트 인에이블 전압 제어부(30)에 관한 상세 회로도이다.
- <89> 셀플레이트 전압 제어부(20) 및 라이트 인에이블 전압 제어부(30)의 구성은 동일하므로 본 발명에서는 셀플레이트 전압 제어부(20)의 구성을 그 실시예로써 설명한다.
- <90> 먼저, 지연부(21)는 셀플레이트 제어신호 CPL_VPP_CON를 지연하여 비반전 지연신호 DLY를 출력하는 인버터 체인 IV4~IV7을 구비한다.
- <91> 그리고, 펌핑부(22)는 전원전압 제어신호 VCC_CON 및 지연신호 DLY를 낸드연산하는 낸드게이트 ND2와, 낸드게이트 ND2의 출력을 반전 지연하는 지연부(23)을 구비한다. 여기서, 지연부(23)는 인버터 체인으로 연결된 인버터 IV8~IV10를 구비한다.
- <92> 인버터 IV3의 출력단에는 모스 캐패시터 C2가 연결되고, 모스 캐패시터 C2는 전원 전압 VCC 인가단과 모스 캐패시터 C2의 출력단 사이에 연결되어 게이트에 구동부(24)의 출력신호가 인가되는 PMOS트랜지스터 P6과 연결된다.
- <93> 여기서, 구동부(12)는 PMOS트랜지스터 P6의 드레인 단자와 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 낸드게이트 ND2의 출력신호가 인가되는 PMOS트랜지스터 P7 및 NMOS트랜지스터 N9를 구비한다.
- <94> 또한, 레벨 제어부(25)는 셀플레이트 제어신호 CPL_VPP_CON를 반전하는 인버터 IV11와, 인버터 IV11의 출력신호를 반전하는 인버터 IV12를 구비한다.

- <95> 레벨 쉬프터(26)는 인버터 IV11, IV12의 출력신호에 따라 펌핑신호 VPP_SIG를 레벨 쉬프팅하여 출력한다.
- <96> 여기서, 레벨 쉬프터(26)는 펌핑신호 VPP_SIG가 인가되는 소스 단자가 공통 연결되고 게이트가 상호 드레인 단자와 크로스 커플로 연결된 PMOS트랜지스터 P8, P9를 구비한다.
- <97> 그리고, 레벨 쉬프터(26)는 PMOS트랜지스터 P8의 드레인 단자와 접지전압단 사이에 연결되어 게이트를 통해 인버터 IV1의 출력신호가 인가되는 NMOS트랜지스터 N10와, PMOS트랜지스터 P9의 드레인 단자와 접지전압단 사이에 연결되어 게이트를 통해 인버터 IV12의 출력신호가 인가되는 NMOS트랜지스터 N11를 구비한다.
- <98> 또한, 레벨 제어부(25)는 레벨 쉬프터(26)의 출력신호에 따라 펌핑신호 VPP_SIG를 구동하여 셀플레이트 펌핑전압 제어신호 CPL_VPP를 출력하는 구동부(27)를 구비한다.
- <99> 여기서, 구동부(27)는 펌핑신호 VPP_SIG 인가단과 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 인가되는 레벨 쉬프터(26)의 출력신호에 따라 펌핑신호 VPP_SIG를 구동하여 셀플레이트 펌핑전압 제어신호 CPL_VPP를 출력하는 PMOS트랜지스터 P10 및 NMOS트랜지스터 N12를 구비한다.
- <100> 이러한 구성을 갖는 셀플레이트 전압 제어부(20)(라이트 인에이블 전압 제어부(30))의 동작 과정을 도 13의 파형도를 참조하여 설명하면 다음과 같다.
- <101> 먼저, 저전압 영역에서 전원전압 VCC을 펌핑하기 위해 전원전압 제어신호 VCC_CON 및 셀플레이트 제어신호 CPL_VPP_CON가 하이 레벨로 입력될 경우, 셀플레이트 제어신호

CPL_VPP_CON는 지연부(21)에 의해 지연시간(D)동안 지연되어 지연신호 DLY를 출력한다.

- <102> 따라서, 지연시간(D) 동안에는 전원전압 제어신호 VCC_CON는 하이레벨이 되고, 지연신호 DLY는 로우 레벨을 유지하게 되어 낸드게이트 ND2의 출력이 하이 레벨이 된다.
- <103> 낸드게이트 ND2의 출력에 의해 구동부(24)의 NMOS트랜지스터 N9 및 PMOS트랜지스터 P6가 턴온되고, 모스 캐패시터 C2의 출력에 의해 펌핑 신호 VPP_SIG가 전원전압 VCC 레벨을 유지하게 된다.
- <104> 그리고, 셀플레이트 제어신호 CPL_VPP_CON가 하이 레벨일 경우, 레벨 쉬프터(26)는 NMOS트랜지스터 N11의 턴온에 의해 로우 레벨을 출력한다. 따라서, 구동부(27)의 PMOS트랜지스터 P10가 턴온되어 셀플레이트 펌핑전압 제어신호 CPL_VPP가 전원전압 VCC 레벨로 출력된다.
- <105> 이어서, 지연부(21)의 지연시간(D)이 지난 이후에는 셀플레이트 제어신호 CPL_VPP_CON의 지연신호 DLY가 하이로 인에이블 되어 낸드게이트 ND2의 출력이 로우 레벨이 된다.
- <106> 그리고, 구동부(24)의 PMOS트랜지스터 P7이 턴온되고, PMOS트랜지스터 P6이 턴오프되어 모스 캐패시터 C2의 출력에 의해 전원전압 VCC이 펌핑되어 펌핑 신호 VPP_SIG가 펌핑전압 VPP 레벨로 출력된다.
- <107> 다음에, 레벨 쉬프터(26)의 출력이 로우 레벨인 상태에서, 구동부(27)의 PMOS트랜지스터 P10가 턴온된다. 따라서, 하이 레벨의 펌핑 신호 VPP_SIG에 의해 셀플레이트 펌핑전압 제어신호 CPL_VPP가 펌핑전압 VPP 레벨로 출력된다.

- <108> 반면에, 고전압 영역에서 전원전압 한계 검출 신호인 전원전압 제어신호 VCC_CON가 로우 레벨로 입력될 경우, 낸드게이트 ND2는 하이 레벨을 출력한다.
- <109> 낸드게이트 ND2의 출력에 의해 구동부(24)의 NMOS트랜지스터 N9가 턴온되고 PMOS트랜지스터 P6가 턴온된다. 따라서, 모스 캐패시터 C2의 출력이 로우가 되어 펌핑 신호 VPP_SIG가 전원전압 VCC 레벨로 출력된다.
- <110> 이어서, 레벨 쉬프터(26)의 출력이 로우 레벨이 되어 구동부(27)의 PMOS트랜지스터 P10가 턴온되고, 펌핑 신호 VPP_SIG 레벨에 의해 셀플레이트 펌핑전압 제어신호 CPL_VPP가 전원전압 VCC 레벨로 출력된다.
- <111> 이상에서와 같이 지연부(21)는 셀플레이트 제어신호 CPL_VPP_CON를 지연시간 (D)만큼 지연하여 펌핑부(22)를 활성화시킴으로써 안정된 펌핑전압 제어신호 CPL_VPP를 출력한다.
- <112> 도 13에서 나타낸 바와 같이 펌핑전압 제어신호 CPL_VPP가 0V의 레벨에서 전원전압 레벨 VCC로 레벨 쉬프팅될 경우 레벨 쉬프터(26)의 스위칭 과정에서 약간의누설 전류가 발생하게 된다.
- <113> 하지만, 레벨 제어부(25)는 지연부(21)의 지연시간(D) 이후에 안정된 전원전압 VCC 레벨을 펌핑전압 VPP으로 레벨 쉬프팅하게 되어 펌핑전압 VPP의 펌핑 과정에서 전류의 손실이 발생되지 않는다. 따라서, 안정된 펌핑전압 제어신호 CPL_VPP를 출력할 수 있게 된다.
- <114> 한편, 도 14는 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치의 파워 업 모드의 동작 타이밍도를 나타낸다.

- <115> 먼저, 파워업 모드시 T0구간에서는 전원전압 VCC이 상승되고, T1구간이 시작되면 안정된 전원전압 VCC 레벨을 유지하게 된다.
- <116> 그리고, T1구간에서는 리셋신호 RESET 및 이퀄라이징 신호 EQN가 로우 레벨로 천이하고, 단위 레지스터의 풀업 구동소자인 PMOS트랜지스터 P1를 제어하는 풀업 인에이블 신호 ENP가 하이로 인에이블 된다.
- <117> 그리고, 셀플레이트 펌핑전압 제어신호 CPL_VPP는 T1구간부터 펌핑 전압 제어신호 PWR_VPP가 펌핑전압 레벨이 되기 이전인 T2구간까지 펌핑전압 레벨을 유지한다.
- <118> 이어서, T2구간에서는 셀플레이트 펌핑전압 제어신호 CPL_VPP가 펌핑전압 VPP 레벨을 유지하고, 펌핑전압 제어신호 PWR_VPP는 전원전압 VCC 레벨을 유지하게된다.
- <119> 그리고, 폴다운 인에이블 신호 ENN가 하이로 인에이블 되고, 풀업 인에이블 신호 ENP가 로우로 디스에이블되면, 단위 레지스터의 출력 노드 CN1,CN2는 CMOS 레벨로 증폭된다. 따라서, 출력신호 OUT,/OUT 중 데이터 "0"을 갖는 노드는 펌핑전압 VPP 레벨로 데이터 "0"을 재저장(Restore)한다. 이때, 출력신호 OUT,/OUT는 전원전압 VCC 레벨이 된다.
- <120> 이후에, T3구간에서는 셀플레이트 펌핑전압 제어신호 CPL_VPP가 접지전압 VSS 레벨로 천이하고, 펌핑전압 제어신호 PWR_VPP는 펌핑전압 VPP 레벨로 천이한다.
- <121> 따라서, 단위 레지스터의 출력 노드 CN1,CN2 중 데이터 "1"을 갖는 노드는 펌핑전압 VPP 레벨로 승압되어 데이터 "1"을 재저장한다. 이때, 출력신호 OUT,/OUT는 펌핑전압 VPP 레벨이 된다.

- <122> 다음에, T4구간에서는 펌핑전압 제어신호 PWR_VPP가 전원전압 VCC 레벨로 천이하여 모든 동작이 안정된 상태를 유지하므로 출력신호 OUT,/OUT는 전원전압 VCC을 유지한다.
- <123> 이때, 라이트 인에이블 펌핑전압 제어신호 ENW_VPP는 파워 업 구간 동안에는 동작을 하지 않기 때문에 비활성화 상태를 유지한다.
- <124> 한편, 도 15는 본 발명에 따른 불휘발성 강유전체 메모리 제어 장치에서 단위 레지스터에 새로운 데이터를 라이트하는 경우의 동작 타이밍도를 나타낸다.
- <125> 먼저, T1구간에서는 라이트 인에이블 신호 ENW가 하이로 활성화되고, T2구간에서 라이트 인에이블 펌핑전압 제어신호 ENW_VPP 및 셀플레이트 펌핑전압 제어신호 CPL_VPP가 접지전압 VSS 레벨에서 펌핑전압 VPP 레벨로 천이한다.
- <126> 따라서, 비트라인 BIT,/BIT의 데이터가 단위 레지스터의 출력 노드 CN1,CN2로 출력되어 이전 데이터 (A)에서 새로운 기록 데이터 (B)가 출력신호 OUT,/OUT로 출력된다.
- <127> 여기서, 새로운 기록 데이터 (B) 중 펌핑 전압 VPP 레벨을 갖는 셀플레이트 펌핑전압 제어신호 CPL_VPP에 의해 데이터 "0"이 라이트된다. 이때, 새로운 기록 데이터 (B)는 전원전압 VCC 레벨을 유지한다.
- <128> 이어서, T3구간에서는 펌핑전압 제어신호 PWR_VPP가 전원전압 VCC 레벨에서 펌핑전압 VPP 레벨로 천이하고, 라이트 인에이블 펌핑전압 제어신호 ENW_VPP 및 셀플레이트 펌핑전압 제어신호 CPL_VPP가 펌핑전압 VPP 레벨에서 접지전압 VSS 레벨로 천이한다.
- <129> 따라서, 출력신호 OUT,/OUT의 데이터 "1" 이 펌핑전압 VPP 레벨로 승압되고, 셀플레이트 펌핑전압 제어신호 CPL_VPP에 따라 데이터 "1"이 라이트된다.

- <130> 이후에, T4구간에서는 모든 동작인 안정된 상태를 유지하게 되어 펌핑전압 제어 신호 PWR_VPP가 펌핑전압 VPP 레벨에서 전원전압 VCC 레벨로 천이하게 된다. 따라서, 출력 신호 OUT, /OUT가 전원전압 VCC 레벨을 유지하게 된다.
- <131> 한편, 도 16은 본 발명의 단위 레지스터가 적용되는 불휘발성 강유전체 메모리 제어 장치의 실시예이다.
- <132> 본 발명은 입/출력 설정 제어부(50)와, n개의 단위 레지스터로 구성된 레지스터 어레이(60)와, 데이터 입/출력 제어부(70) 및 입/출력 버퍼(80)를 구비한다.
- <133> 여기서, 입/출력 설정 제어부(50)는 각각 복수개의 서브 데이터 입/출력핀으로 나누어진 복수개의 데이터 입/출력핀에서 복수개의 서브 데이터 입/출력핀의 활성화 여부를 기설정한다. 이때, 8비트의 데이터를 처리하기 위한 바이트(Byte) 단위와, 16비트의 데이터를 처리하기 위한 워드(Word) 단위로 설정할 수 있다.
- <134> 그리고, 레지스터 어레이(60)는 상술된 본 발명의 도 4 내지 도 15에서 제시한 강유전체 캐패시터를 포함하는 복수개의 단위 레지스터를 구비한다. 레지스터 어레이(60)는 4개의 입/출력핀 I/O를 활성화하기 위한 데이터를 저장하는 단위 레지스터 1과, 8개의 입/출력핀 I/O를 활성화하기 위한 데이터를 저장하는 단위 레지스터 2와, 16개의 입/출력핀 I/O를 활성화하기 위한 데이터를 저장하는 단위 레지스터 3을 구비한다.
- <135> 본 발명에서는 사용하고자 하는 단위 레지스터의 갯수를 레지스터 1~레지스터 3으로 설명하지만, 이는 본 발명에 한정되지 않고 처리하고자 하는 단위에 따라 다르게 설정될 수도 있다.

- <136> 데이터 입/출력 제어부(70)는 레지스터 어레이(60)로부터 인가되는 데이터를 해석하고 엔코딩하여 설정된 해당 입/출력 버퍼(80)를 활성화시키기 위한 제어신호를 출력한다.
- <137> 입/출력 버퍼(80)는 해당 서브 입/출력핀 I/00~I/07, I/08~I/15을 선택적으로 사용하여 서브 입/출력핀의 갯수를 최종적으로 제어한다.
- <138> 만약, 단위 레지스터 1을 사용할 경우, 입/출력핀 I/00~I/07 중 4개의 입/출력핀 I/00~I/03을 사용하여 데이터를 출력한다. 그리고, 단위 레지스터 2를 사용할 경우, 8개의 입/출력핀 I/00~I/07을 사용하여 데이터를 출력한다. 또한, 단위 레지스터 3을 사용할 경우, 16개의 입/출력핀 I/00~I/015을 사용하여 데이터를 출력한다.
- <139> 한편, 도 17은 본 발명의 단위 레지스터가 적용되는 불휘발성 강유전체 메모리 제어 장치의 다른 실시예이다.
- <140> 본 발명은 섹터 보호 설정 제어부(90)와, n개의 단위 레지스터로 구성된 레지스터 어레이(100) 및 메모리 섹터 제어부(110)를 구비한다.
- <141> 여기서, 섹터 보호 설정 제어부(90)는 복수개의 섹터 영역으로 구성된 메모리 어레이 영역(120)에 의도하지 않은 조건에 의해 기록된 데이터가 변경되는 것을 방지하기 위해 보호하고자 하는 섹터 보호 영역을 설정한다.
- <142> 그리고, 레지스터 어레이(60)는 상술된 본 발명의 도 4 내지 도 15에서 제시한 강유전체 캐패시터를 포함하는 복수개의 단위 레지스터를 구비한다. 레지스터 어레이(100)는 메모리 어레이 영역(120)에서 각각의 섹터 어레이에 대응하는 갯수의 단위 레지스터들을 구비한다.

<143> 메모리 섹터 제어부(110)는 레지스터 어레이(100)로부터 보호하고자 하는 해당 섹터 정보가 인가되면, 인가된 섹터 정보를 해석하여 메모리 어레이 영역(120)의 해당 섹터에 더이상 데이터가 기록되지 못하도록 제어한다.

【발명의 효과】

<144> 이상에서 설명한 바와 같이, 본 발명은 저전압 영역에서 최소한의 전력소모로 펌핑 동작을 수행하고, 안정된 리던던시 및 기준전압 레벨을 제공함으로써 칩의 신뢰성을 향상시킬 수 있도록 하는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

전원 제어신호의 인가시, 전원전압이 저전압 영역인지 고전압 영역인지에 따라 그 출력 레벨을 달리하는 전원전압 제어신호를 수신하여 펌핑전압 제어신호를 출력하는 펌핑전압 제어부;

셀플레이트 제어신호의 인가시, 상기 전원전압 제어신호의 상태에 따라 셀플레이트 펌핑전압 제어신호를 출력하는 셀플레이트 전압 제어부;

라이트 인에이블 제어신호의 인가시, 상기 전원전압 제어신호의 상태에 따라 라이트 인에이블 펌핑전압 제어신호를 출력하는 라이트 인에이블 전압 제어부; 및

각각이 상기 펌핑전압 제어신호, 상기 셀플레이트 펌핑전압 제어신호 및 상기 라이트 인에이블 펌핑전압 제어신호의 전압 레벨에 따라 불휘발성 강유전체 캐패시터에 저장된 데이터의 전압을 부스팅하여 출력하는 복수개의 단위 레지스터를 포함하는 레지스터 어레이를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 2】

제 1항에 있어서, 상기 펌핑전압 제어부는

상기 저전압 영역에서는 전원전압을 펌핑하여 상기 펌핑전압 제어신호를 펌핑전압 레벨로 출력하고, 상기 고전압 영역에서는 상기 펌핑전압 제어신호를 전원전압 레벨로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 3】

제 1항 또는 제 2항에 있어서, 상기 펌핑전압 제어부는

상기 전원전압 제어신호 및 전원 제어신호를 논리연산하는 제 1논리소자;

상기 제 1논리소자의 출력을 반전 지연하는 제 1지연부;

상기 제 1지연부의 출력단에 연결된 제 1모스 캐패시터;

상기 제 1모스 캐패시터의 출력단과 접지전압단 사이에 연결되어 공통 게이트가 상기 제 1논리소자의 출력과 연결된 제 1구동부; 및

상기 제 1모스 캐패시터와 전원전압 인가단 사이에 연결되어 게이트에 상기 제 1구동부의 출력신호가 인가되는 제 1구동소자를 구비하고,

상기 제 1구동부는

상기 제 1모스 캐패시터의 출력단과 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 상기 제 1논리소자의 출력신호가 인가되고 출력단이 상기 제 1구동소자의 게이트와 연결된 제 1PMOS트랜지스터 및 제 1NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 4】

제 1항에 있어서, 상기 셀플레이트 전압 제어부는

상기 셀플레이트 제어신호를 일정시간 동안 지연하여 지연신호를 출력하는 제 2지연부;

상기 전원전압 제어신호의 인가시 상기 지연신호에 따라 전원전압을 펌핑하여 펌핑전압 레벨의 펌핑신호를 출력하는 제 1펌핑부; 및

상기 펌핑신호 및 상기 셀플레이트 제어신호를 레벨 쉬프팅하여 상기 셀플레이트 펌핑전압 제어신호를 출력하는 제 1레벨 제어부를 구비하고,

상기 제 2지연부는

상기 셀플레이트 제어신호를 비반전 지연하여 지연신호를 출력하는 인버터 체인을 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 5】

제 4항에 있어서, 상기 셀플레이트 전압 제어부는

상기 저전압 영역에서 상기 셀플레이트 제어신호가 하이 레벨로 입력될 경우 상기 제 2지연부의 지연시간 동안 상기 셀플레이트 펌핑전압 제어신호를 전원전압 레벨로 출력하고, 상기 지연시간 이후에는 상기 셀플레이트 펌핑전압 제어신호를 펌핑전압 레벨로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 6】

제 4항 또는 제 5항에 있어서, 상기 제 1펌핑부는

상기 전원전압 제어신호 및 상기 지연신호를 논리연산하는 제 2논리소자;

상기 제 2논리소자의 출력을 반전 지연하는 제 3지연부;

상기 제 3지연부의 출력단에 연결된 제 2모스 캐패시터;

상기 제 2모스 캐패시터의 출력단과 접지전압단 사이에 연결되어 공통 게이트가 상기 제 2논리소자의 출력과 연결된 제 2구동부; 및

상기 제 2모스 캐패시터와 전원전압 인가단 사이에 연결되어 게이트에 상기 제 2구동부의 출력신호가 인가되는 제 2구동소자를 구비하고,

상기 제 2구동부는

상기 제 2모스 캐패시터의 출력단과 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 상기 제 2논리소자의 출력신호가 인가되고 출력단이 상기 제 2구동소자의 게이트와 연결된 제 2PMOS트랜지스터 및 제 2NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 7】

제 4항 또는 제 5항에 있어서, 상기 제 1레벨 제어부는
 상기 셀플레이트 제어신호를 반전하는 제 1인버터;
 상기 제 1인버터의 출력신호를 반전하는 제 2인버터;
 상기 제 1인버터 및 제 2인버터의 출력신호에 따라 상기 펌핑신호의 전압 레벨을 레벨 쉬프팅하는 제 1레벨 쉬프터; 및
 상기 제 1레벨 쉬프터의 출력신호에 따라 상기 펌핑신호를 구동하여 상기 셀플레이트 펌핑전압 제어신호를 출력하는 제 3구동부를 구비하고,
 상기 제 3구동부는
 상기 펌핑신호 인가단과 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 상기 제 1레벨 쉬프터의 출력신호가 인가되고 공통 드레인 단자를 통해 상기 셀플레이트 펌핑전압 제어신호를 출력하는 제 3PMOS트랜지스터 및 제 3NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 8】

제 1항에 있어서, 상기 라이트 인에이블 전압 제어부는

상기 라이트 인에이블 제어신호를 일정시간 동안 지연하여 지연신호를 출력하는 제 4지연부;

상기 전원전압 제어신호의 인가시 상기 지연신호에 따라 전원전압을 펌핑하여 펌핑 전압 레벨의 펌핑신호를 출력하는 제 2펌핑부; 및

상기 펌핑신호 및 상기 라이트 인에이블 제어신호를 레벨 쉬프팅하여 상기 라이트 인에이블 펌핑전압 제어신호를 출력하는 제 2레벨 제어부를 구비하고,

상기 제 4지연부는

상기 라이트 인에이블 제어신호를 비반전 지연하여 지연신호를 출력하는 인버터 체인을 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 9】

제 8항에 있어서, 상기 라이트 인에이블 전압 제어부는

상기 저전압 영역에서 상기 라이트 인에이블 제어신호가 하이 레벨로 입력될 경우 상기 제 4지연부의 지연시간 동안 상기 라이트 인에이블 펌핑전압 제어신호를 전원전압 레벨로 출력하고, 상기 지연시간 이후에는 상기 라이트 인에이블 펌핑전압 제어신호를 펌핑전압 레벨로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 10】

제 8항 또는 제 9항에 있어서, 상기 제 2펌핑부는

상기 전원전압 제어신호 및 상기 지연신호를 논리연산하는 제 3논리소자;

상기 제 3논리소자의 출력을 반전 지연하는 제 5지연부;

상기 제 5지연부의 출력단에 연결된 제 3모스 캐패시터;

상기 제 3모스 캐패시터의 출력단과 접지전압단 사이에 연결되어 공통 게이트가 상기 제 3논리소자의 출력과 연결된 제 4구동부; 및

상기 제 3모스 캐패시터와 전원전압 인가단 사이에 연결되어 게이트에 상기 제 4구동부의 출력신호가 인가되는 제 3구동소자를 구비하고,

상기 제 4구동부는

상기 제 3모스 캐패시터의 출력단과 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 상기 제 3논리소자의 출력신호가 인가되고 출력단이 상기 제 3구동소자의 게이트와 연결된 제 4PMOS트랜지스터 및 제 4NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 11】

제 8항 또는 제 9항에 있어서, 상기 제 2레벨 제어부는

상기 라이트 인에이블 제어신호를 반전하는 제 3인버터;

상기 제 3인버터의 출력신호를 반전하는 제 4인버터;

상기 제 3인버터 및 제 4인버터의 출력신호에 따라 상기 펌핑신호의 전압 레벨을 레벨 쉬프팅하는 제 2레벨 쉬프터; 및

상기 제 2레벨 쉬프터의 출력신호에 따라 상기 펌핑신호를 구동하여 상기 라이트 인에이블 펌핑전압 제어신호를 출력하는 제 5구동부를 구비하고,

상기 제 5구동부는

상기 펌핑신호 인가단과 접지전압단 사이에 직렬 연결되어 공통 게이트를 통해 상기 제 2레벨 쉬프터의 출력신호가 인가되고 공통 드레인 단자를 통해 상기 셀플레이트

펌핑전압 제어신호를 출력하는 제 5PMOS트랜지스터 및 제 5NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 12】

제 1항에 있어서, 상기 레지스터 어레이의 단위 레지스터는

다른 주변회로의 N웰 영역과 독립적으로 분리된 하나의 N웰 영역에 형성되고, 상기 펌핑전압 제어신호 및 풀업 인에이블 신호가 인가되어 상기 단위 레지스터의 양단 노드를 증폭 및 풀업시키는 제 1펌핑전압 구동부;

이퀄라이징 신호에 의해 상기 단위 레지스터의 양단 노드를 이퀄라이징시키는 이퀄라이징부;

상기 라이트 인에이블 펌핑 전압 제어신호에 따라 상기 단위 레지스터의 양단 노드에 비트라인의 전압을 출력하는 제 1라이트 인에이블 펌핑 구동부;

상기 단위 레지스터의 양단 노드 및 셀플레이트 사이에 연결되어 상기 셀플레이트 펌핑전압 제어신호가 인가되는 제 1강유전체 캐패시터부;

상기 단위 레지스터의 양단 노드를 풀다운 구동시키는 제 1전압 구동부;

상기 풀다운 인에이블 신호에 따라 상기 제 1전압 구동부에 접지전압을 인가시키는 제 1풀다운 구동 소자; 및

상기 단위 레지스터의 양단 노드와 접지전압 인가단 사이에 각각 연결되어 상기 양단 노드의 캐패시터 로드를 조정하는 복수개의 제 2강유전체 캐패시터들을 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 13】

제 12항에 있어서, 상기 제 1펌핑전압 구동부는

상기 풀업 인에이블 신호에 따라 상기 펌핑전압 제어신호를 선택적으로 인가시키
기 위한 풀업 구동소자; 및

상기 풀업 구동소자와 소스 단자가 공통 연결되고 각각의 게이트가 드레인 단자와
크로스 커플드 연결된 PMOS트랜지스터쌍을 구비하고,

상기 풀업 구동소자 및 PMOS트랜지스터쌍은 독립된 하나의 N웰 영역에 연결됨을 특
징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 14】

제 1항에 있어서, 상기 레지스터 어레이의 단위 레지스터는

다른 주변회로의 N웰 영역과 독립적으로 분리된 하나의 N웰 영역에 형성되고, 상
기 펌핑전압 제어신호 및 풀업 인에이블 신호가 인가되어 상기 단위 레지스터의 양단 노
드를 증폭 및 풀업시키는 제 2펌핑전압 구동부;

상기 라이트 인에이블 펌핑 전압 제어신호에 따라 상기 단위 레지스터의 양단 노드
에 비트라인의 전압을 출력하는 제 2라이트 인에이블 펌핑 구동부;

상기 단위 레지스터의 양단 노드 및 셀플레이트 사이에 연결되어 상기 셀플레이트
펌핑전압 제어신호가 인가되는 제 2강유전체 캐패시터부;

상기 단위 레지스터의 양단 노드를 풀다운 구동시키는 제 2전압 구동부; 및

상기 풀다운 인에이블 신호에 따라 상기 제 2전압 구동부에 접지전압을 인가시키는
제 2풀다운 구동 소자를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 15】

제 1항에 있어서, 상기 레지스터 어레이의 단위 레지스터는

다른 주변회로의 N웰 영역과 독립적으로 분리된 하나의 N웰 영역에 형성되고, 상기 펌핑전압 제어신호 및 풀업 인에이블 신호가 인가되어 상기 단위 레지스터의 양단 노드를 증폭 및 풀업시키는 제 3펌핑전압 구동부;

상기 라이트 인에이블 펌핑 전압 제어신호에 따라 상기 단위 레지스터의 양단 노드에 비트라인의 전압을 출력하는 제 3라이트 인에이블 펌핑 구동부;

상기 단위 레지스터의 양단 노드 및 셀플레이트 사이에 연결되어 상기 셀플레이트 펌핑전압 제어신호가 인가되는 제 3강유전체 캐패시터부; 및

상기 단위 레지스터의 양단 노드를 풀다운 구동시키는 제 3전압 구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 16】

제 1항에 있어서, 상기 레지스터 어레이의 단위 레지스터는

다른 주변회로의 N웰 영역과 독립적으로 분리된 하나의 N웰 영역에 형성되고, 상기 펌핑전압 제어신호 및 풀업 인에이블 신호가 인가되어 상기 단위 레지스터의 양단 노드를 증폭 및 풀업시키는 제 4펌핑전압 구동부;

상기 라이트 인에이블 펌핑 전압 제어신호의 인에이블시 라이트 인에이블 신호에 따라 상기 단위 레지스터의 양단 노드에 비트라인의 전압을 출력하는 제 4라이트 인에이블 펌핑 구동부;

상기 단위 레지스터의 양단 노드 및 셀플레이트 사이에 연결되어 상기 셀플레이트 펌핑전압 제어신호가 인가되는 제 4강유전체 캐패시터부; 및

상기 단위 레지스터의 양단 노드를 풀다운 구동시키는 제 4전압 구동부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 17】

제 16항에 있어서, 상기 제 4라이트 인에이블 펌핑 구동부는

게이트를 통해 인가되는 상기 라이트 인에이블 펌핑전압 제어신호에 따라 상기 라이트 인에이블 신호를 각각 출력하는 제 6NMOS트랜지스터 및 제 7NMOS트랜지스터; 및

상기 제 6NMOS트랜지스터 및 제 7NMOS트랜지스터를 통해 인가되는 상기 라이트 인에이블 신호에 따라 상기 단위 레지스터의 양단 노드에 비트라인의 전압을 출력하는 제 8NMOS트랜지스터 및 제 9NMOS트랜지스터를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 18】

제 1항에 있어서, 상기 레지스터 어레이의 단위 레지스터는

파워업 모드시 상기 셀플레이트 펌핑전압 제어신호가 펌핑전압 레벨이고, 상기 펌핑전압 제어신호가 전원전압 레벨일 경우, 제 1데이타를 상기 불휘발성 강유전체 캐패시터에 재저장하고, 상기 셀플레이트 펌핑전압 제어신호가 접지전압 레벨이고, 상기 펌핑전압 제어신호가 펌핑전압 레벨일 경우 제 2데이타를 상기 불휘발성 강유전체 캐패시터에 재저장함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 19】

제 1항에 있어서, 상기 레지스터 어레이의 단위 레지스터는

라이트 프로그램 모드시 상기 셀플레이트 펌핑전압 제어신호 및 라이트 인에이블 펌핑전압 제어신호가 펌핑전압 레벨이고, 상기 펌핑전압 제어신호가 전원전압 레벨일 경우, 제 3데이타를 상기 불휘발성 강유전체 캐패시터에 기록하고, 상기 셀플레이트 펌핑전압 제어신호 및 라이트 인에이블 펌핑전압 제어신호가 접지전압 레벨이고, 상기 펌핑전압 제어신호가 펌핑전압 레벨일 경우 제 4데이타를 상기 불휘발성 강유전체 캐패시터에 기록함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 20】

저전압 영역에서 전원전압 제어신호와 서로 다른 타이밍에 입력되는 펌핑전압 제어신호에 따라 불휘발성 강유전체 캐패시터를 포함하는 단위 레지스터의 양단 노드를 증폭 및 풀업시키는 펌핑전압 구동부를 구비하고,

상기 펌핑전압 구동부는 다른 주변회로의 N웰 영역과 독립적으로 분리된 하나의 N웰 영역에 형성되어 상기 펌핑전압 제어신호가 인가됨을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 21】

제 20항에 있어서, 상기 펌핑전압 구동부는

풀업 인에이블 신호에 따라 상기 펌핑전압 제어신호를 선택적으로 출력하는 풀업 구동소자;

상기 풀업 구동소자와 소스 단자가 공통 연결되고 각각의 게이트가 드레인 단자와 크로스 커플드 연결된 PMOS트랜지스터쌍을 구비하고,

상기 풀업 구동소자 및 PMOS트랜지스터쌍은 독립된 하나의 N웰 영역에 연결됨을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 22】

전원 제어신호에 따라 전원전압을 펌핑하여 불휘발성 강유전체 캐패시터를 포함하는 단위 레지스터의 출력신호를 부스팅하기 위한 펌핑전압 제어신호를 출력하는 펌핑전압 제어부를 구비하고,

상기 펌핑전압 제어부는 펌핑전압 발생 여부를 결정하는 전원전압 제어신호의 상태에 따라 저전압 영역에서는 전원전압을 펌핑하여 상기 펌핑전압 제어신호를 상기 펌핑전압 레벨로 출력하고, 고전압 영역에서는 상기 펌핑전압 제어신호를 상기 전원전압 레벨로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 23】

제 22항에 있어서, 상기 펌핑전압 제어부는

상기 전원전압 제어신호 및 전원 제어신호를 논리연산하는 논리소자;

상기 논리소자의 출력을 반전 지연하는 지연부;

상기 지연부의 출력단에 연결된 모스 캐패시터;

상기 모스 캐패시터의 출력단과 접지전압단 사이에 연결되어 공통 게이트가 상기 논리소자의 출력과 연결된 구동부; 및

상기 모스 캐패시터와 전원전압 인가단 사이에 연결되어 게이트에 상기 구동부의 출력신호가 인가되는 구동소자를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 24】

셀플레이트 제어신호의 인가시 전원전압 제어신호의 상태에 따라 단위 레지스터에 구비된 불휘발성 강유전체 캐패시터의 셀플레이트에 펌핑전압 제어신호를 출력하는 셀플레이트 전압 제어부를 구비하고,

상기 셀플레이트 전압 제어부는 상기 전원전압 제어신호가 하이 레벨인 저전압 영역에서 상기 셀플레이트 제어신호가 하이 레벨로 입력될 경우 일정 지연시간 동안 상기 셀플레이트 펌핑전압 제어신호를 전원전압 레벨로 출력하고, 상기 지연시간 이후에는 상기 셀플레이트 펌핑전압 제어신호를 펌핑전압 레벨로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 25】

제 24항에 있어서, 상기 셀플레이트 전압 제어부는

상기 셀플레이트 제어신호를 일정시간 동안 지연하여 지연신호를 출력하는 지연부 ;

상기 전원전압 제어신호의 인가시 상기 지연신호에 따라 전원전압을 펌핑하여 펌핑전압 레벨의 펌핑신호를 출력하는 펌핑부; 및

상기 펌핑신호 및 상기 셀플레이트 제어신호를 레벨 쉬프팅하여 상기 셀플레이트 펌핑전압 제어신호를 출력하는 레벨 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 26】

라이트 인에이블 제어신호의 인가시 상기 전원전압 제어신호의 상태에 따라 불휘발성 강유전체 캐패시터를 포함하는 단위 레지스터의 양단 노드에 라이트 인에이블 펌핑전압 제어신호를 출력하는 라이트 인에이블 전압 제어부를 구비하고, .

상기 라이트 인에이블 전압 제어부는 상기 전원전압 제어신호가 하이 레벨인 저전압 영역에서 상기 라이트 인에이블 제어신호가 하이 레벨로 입력될 경우 일정 지연시간 동안 상기 라이트 인에이블 펌핑전압 제어신호를 전원전압 레벨로 출력하고, 상기 지연시간 이후에는 상기 라이트 인에이블 펌핑전압 제어신호를 펌핑전압 레벨로 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 27】

제 26항에 있어서, 상기 라이트 인에이블 전압 제어부는

상기 라이트 인에이블 제어신호를 일정시간 동안 지연하여 지연신호를 출력하는 지연부;

상기 전원전압 제어신호의 인가시 상기 지연신호에 따라 전원전압을 펌핑하여 펌핑전압 레벨의 펌핑신호를 출력하는 펌핑부; 및

상기 펌핑신호 및 상기 라이트 인에이블 제어신호를 레벨 쉬프팅하여 상기 라이트 인에이블 펌핑전압 제어신호를 출력하는 레벨 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 28】

각각 복수개의 서브 데이터 입/출력핀으로 나누어진 복수개의 데이터 입/출력핀에서 상기 복수개의 서브 데이터 입/출력핀의 활성화 여부를 설정하기 위한 입/출력 설정 제어부;

불휘발성 강유전체 캐패시터를 포함하는 복수개의 단위 레지스터들을 구비하여 상기 입/출력 설정 제어부의 제어에 따라 선택적으로 활성화되는 레지스터 어레이;

상기 레지스터 어레이로부터 인가되는 데이터를 해석하여 입/출력핀의 설정을 위한 제어신호를 출력하는 데이터 입/출력 제어부; 및

상기 데이터 입/출력 제어부로부터 인가되는 제어신호에 따라 상기 복수개의 서브 데이터 입/출력핀의 갯수를 선택적으로 활성화시키는 입/출력 버퍼를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 29】

제 28항에 있어서, 상기 레지스터 어레이는

전원 제어신호의 인가시, 전원전압이 저전압 영역인지 고전압 영역인지에 따라 그 출력 레벨을 달리하는 전원전압 제어신호를 수신하여 펌핑전압 제어신호를 출력하는 펌핑전압 제어부;

셀플레이트 제어신호의 인가시, 상기 전원전압 제어신호의 상태에 따라 셀플레이트 펌핑전압 제어신호를 출력하는 셀플레이트 전압 제어부; 및

라이트 인에이블 제어신호의 인가시, 상기 전원전압 제어신호의 상태에 따라 라이트 인에이블 펌핑전압 제어신호를 출력하는 라이트 인에이블 전압 제어부를 더 구비하고,

상기 펌핑전압 제어신호, 상기 셀플레이트 펌핑전압 제어신호 및 상기 라이트 인에이블 펌핑전압 제어신호의 전압 레벨에 따라 상기 불휘발성 강유전체 캐패시터에 저장된 데이터의 전압을 부스팅하여 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 30】

복수개의 섹터 영역으로 구성된 메모리 어레이 영역에 기록되는 데이터를 보존하기 위한 섹터 보호 영역을 설정하는 섹터 보호 설정 제어부;

불휘발성 강유전체 캐패시터를 포함하는 복수개의 단위 레지스터들을 구비하여 상기 섹터 보호 설정 제어부의 제어에 따라 선택적으로 활성화되는 레지스터 어레이; 및

상기 레지스터 어레이로부터 인가되는 섹터 보호 정보를 해석하여 상기 메모리 어레이 영역의 해당 섹터를 제어하는 메모리 섹터 제어부를 구비함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【청구항 31】

제 30항에 있어서, 상기 레지스터 어레이는

전원 제어신호의 인가시, 전원전압이 저전압 영역인지 고전압 영역인지에 따라 그 출력 레벨을 달리하는 전원전압 제어신호를 수신하여 펌핑전압 제어신호를 출력하는 펌핑전압 제어부;

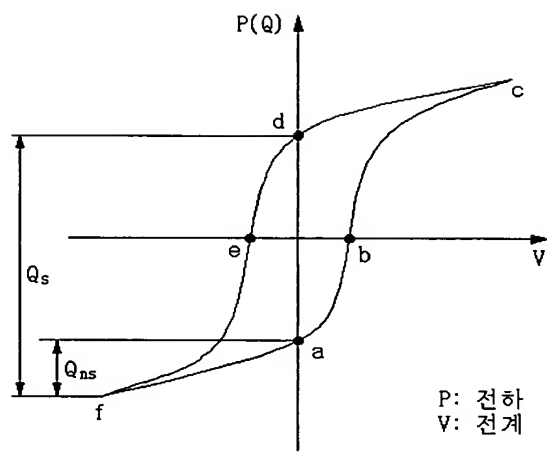
셀플레이트 제어신호의 인가시, 상기 전원전압 제어신호의 상태에 따라 셀플레이트 펌핑전압 제어신호를 출력하는 셀플레이트 전압 제어부; 및

라이트 인에이블 제어신호의 인가시, 상기 전원전압 제어신호의 상태에 따라 라이트 인에이블 펌핑전압 제어신호를 출력하는 라이트 인에이블 전압 제어부를 더 구비하고,

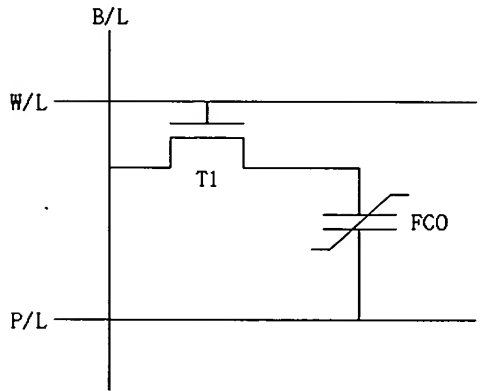
상기 펌핑전압 제어신호, 상기 셀플레이트 펌핑전압 제어신호 및 상기 라이트 인에이블 펌핑전압 제어신호의 전압 레벨에 따라 상기 불휘발성 강유전체 캐패시터에 저장된 데이터의 전압을 부스팅하여 출력함을 특징으로 하는 불휘발성 강유전체 메모리 제어 장치.

【도면】

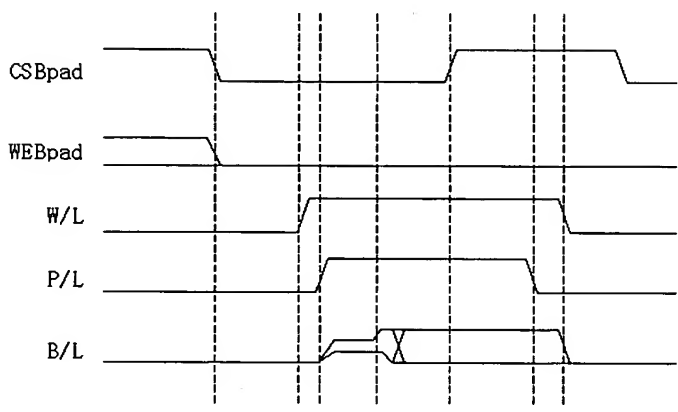
【도 1】



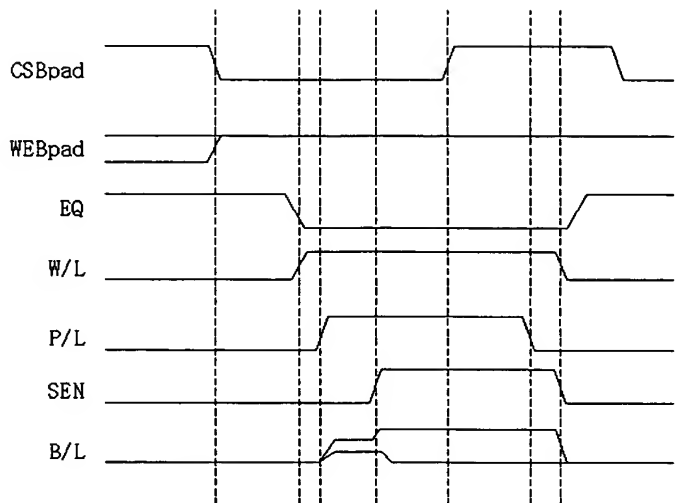
【도 2】



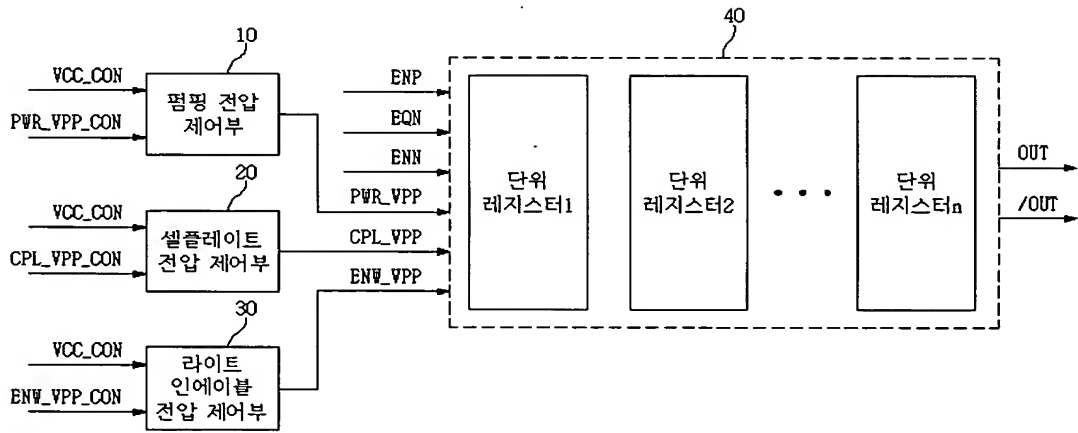
【도 3a】



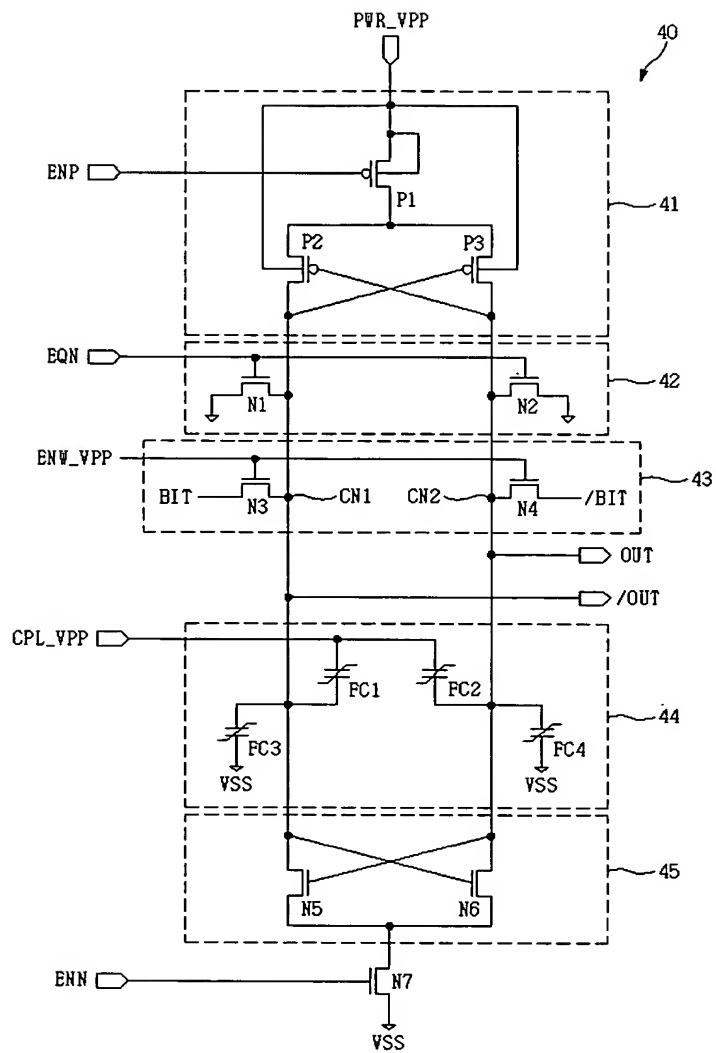
【도 3b】



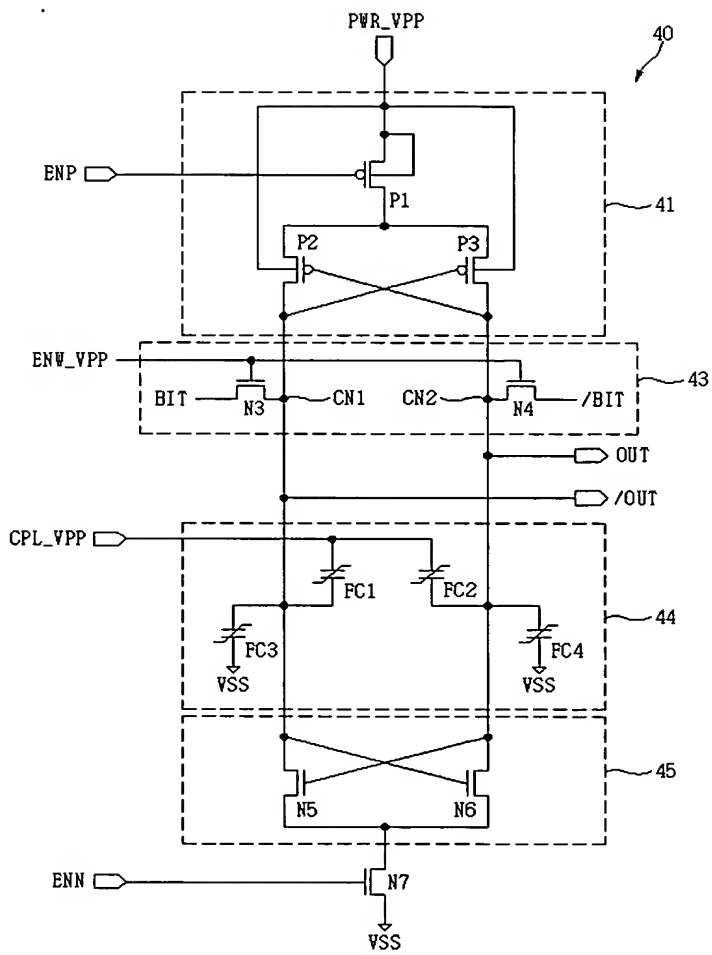
【도 4】



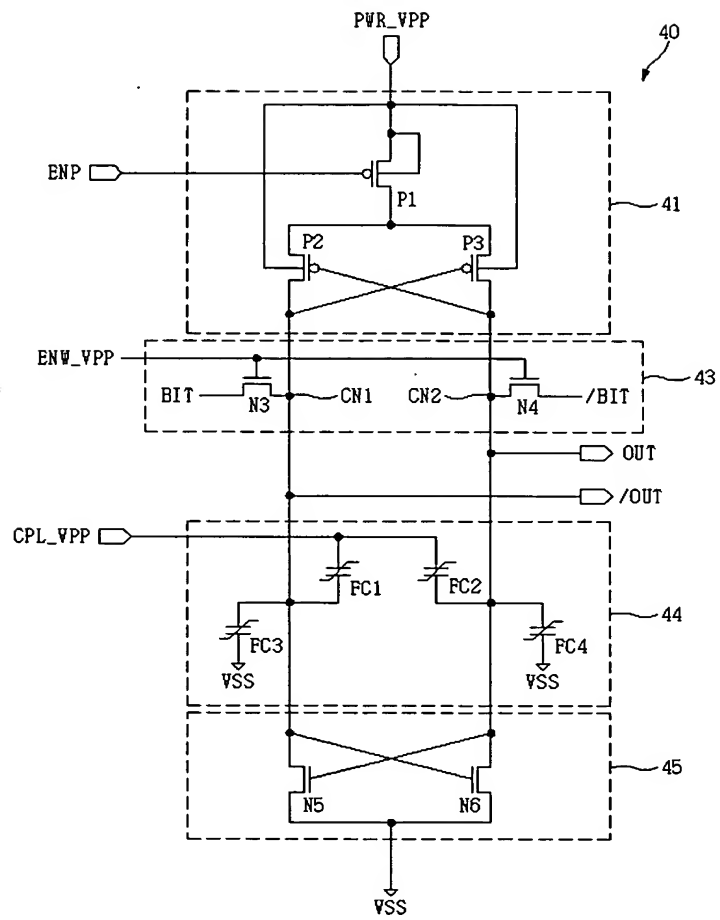
【도 5】



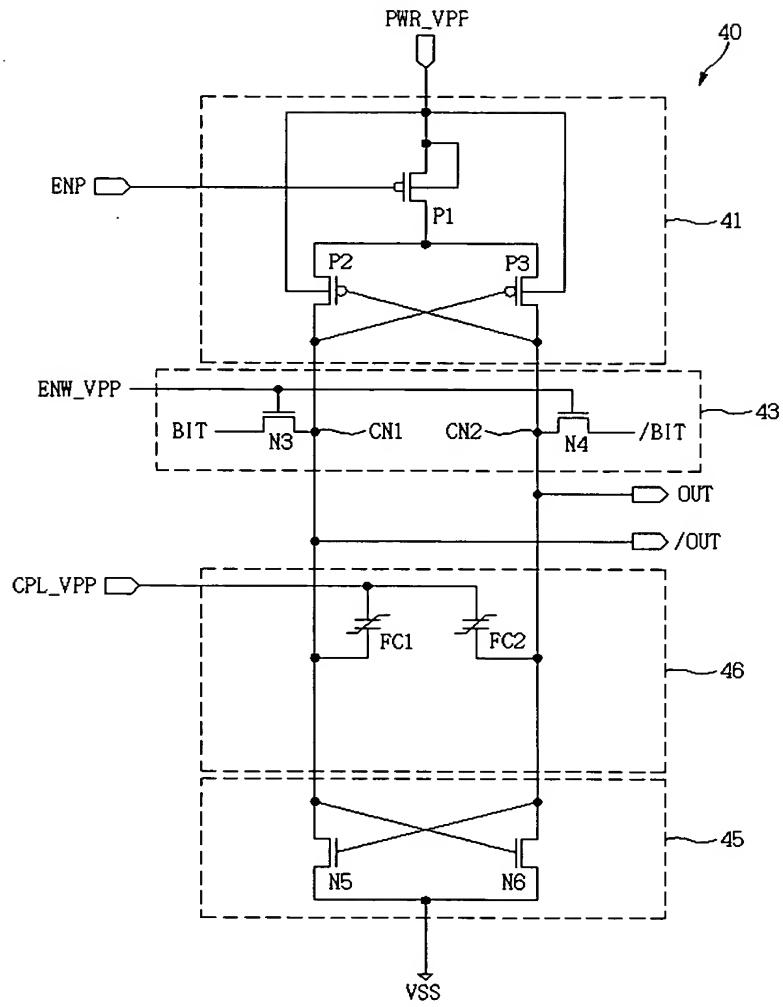
【도 6】



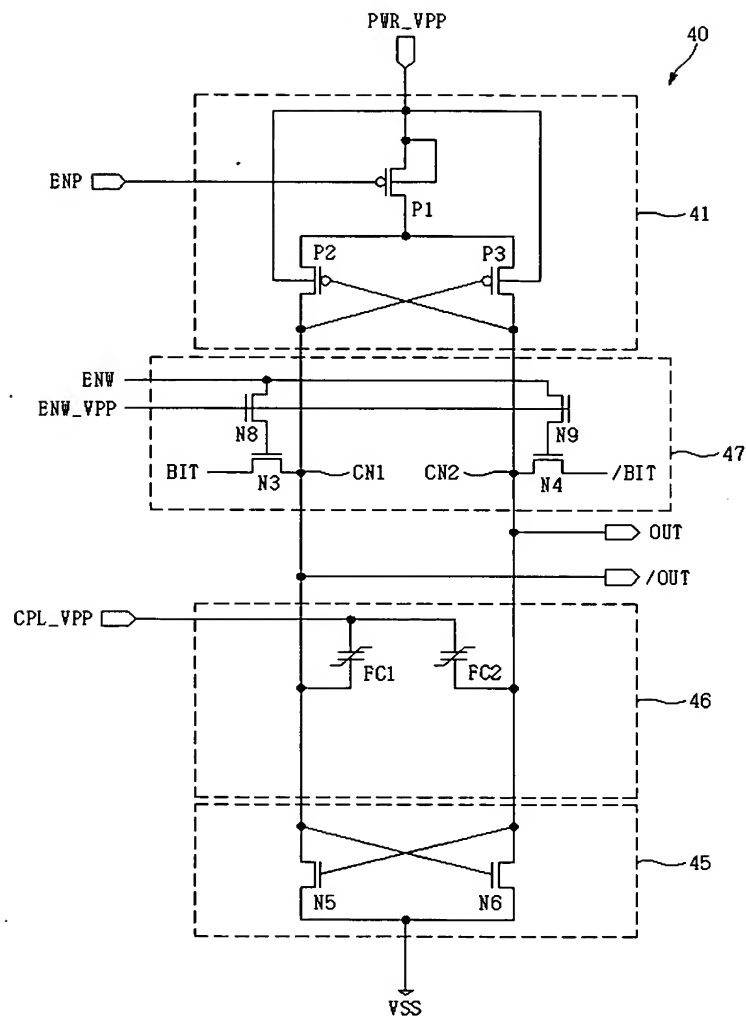
【도 7】



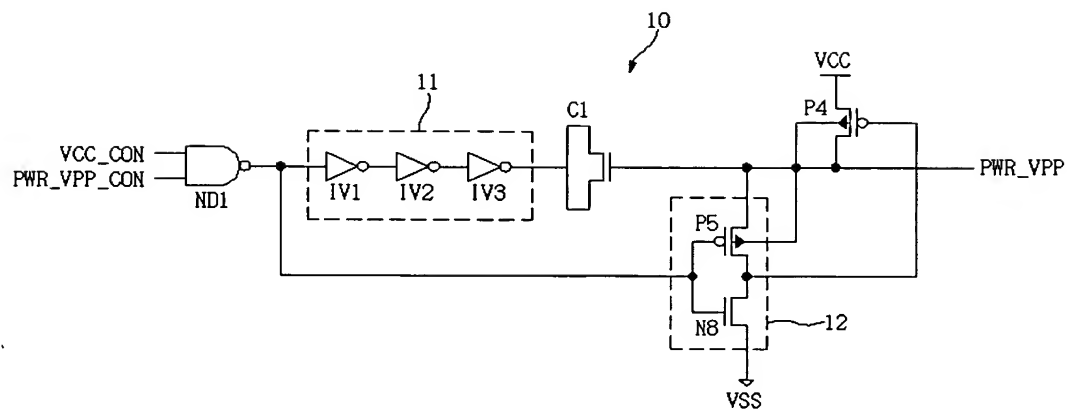
【도 8】



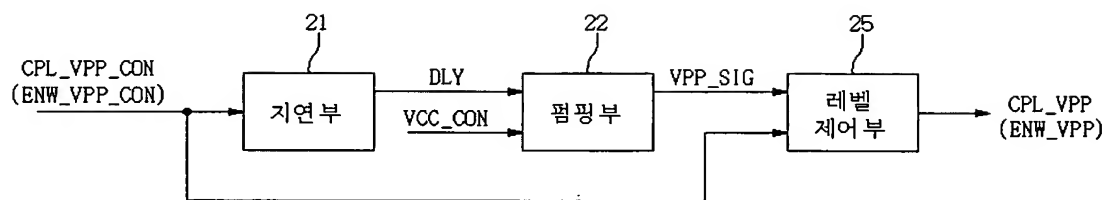
【도 9】



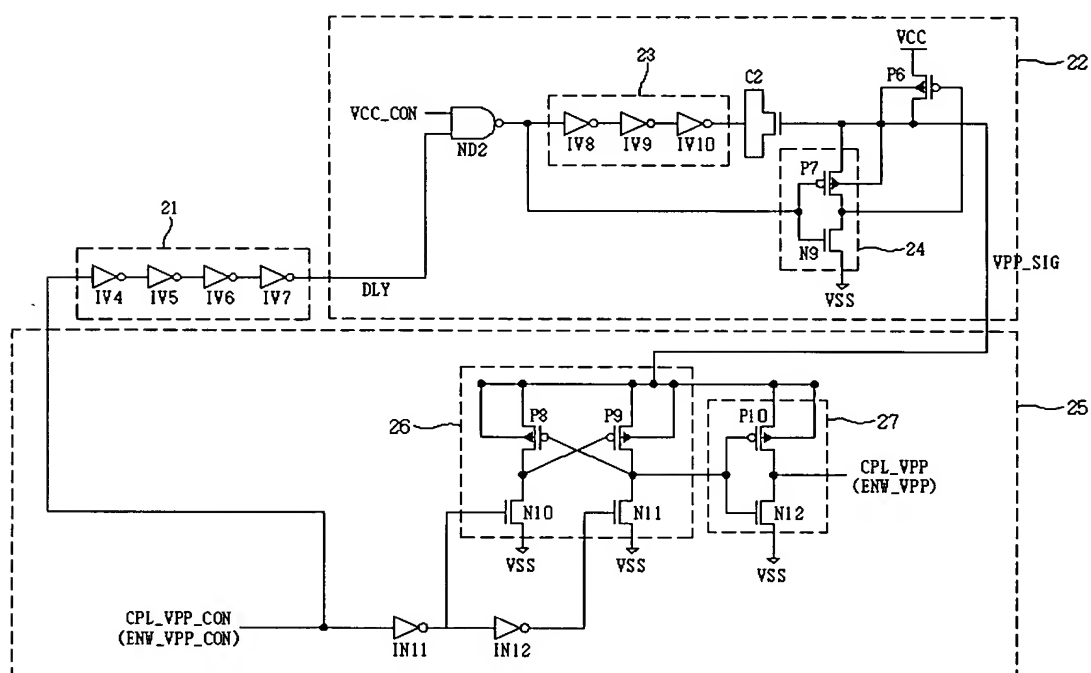
【도 10】



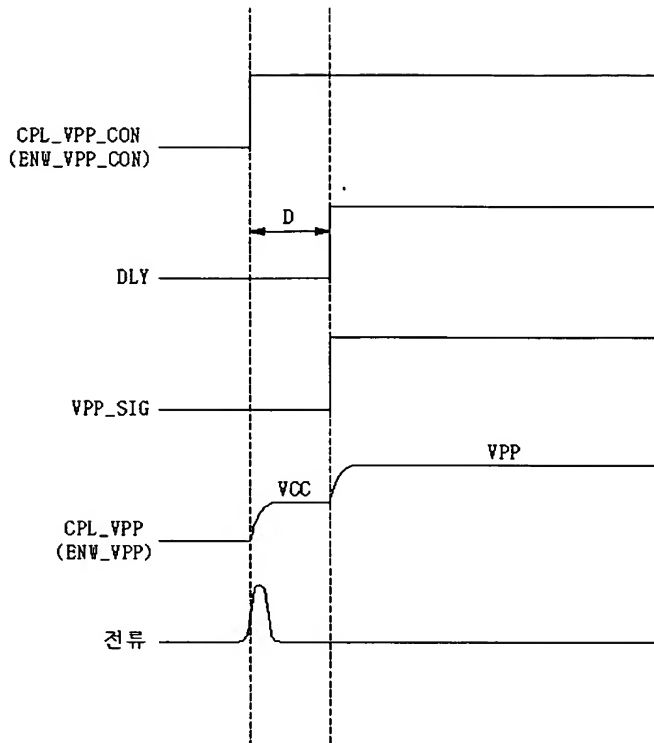
【도 11】



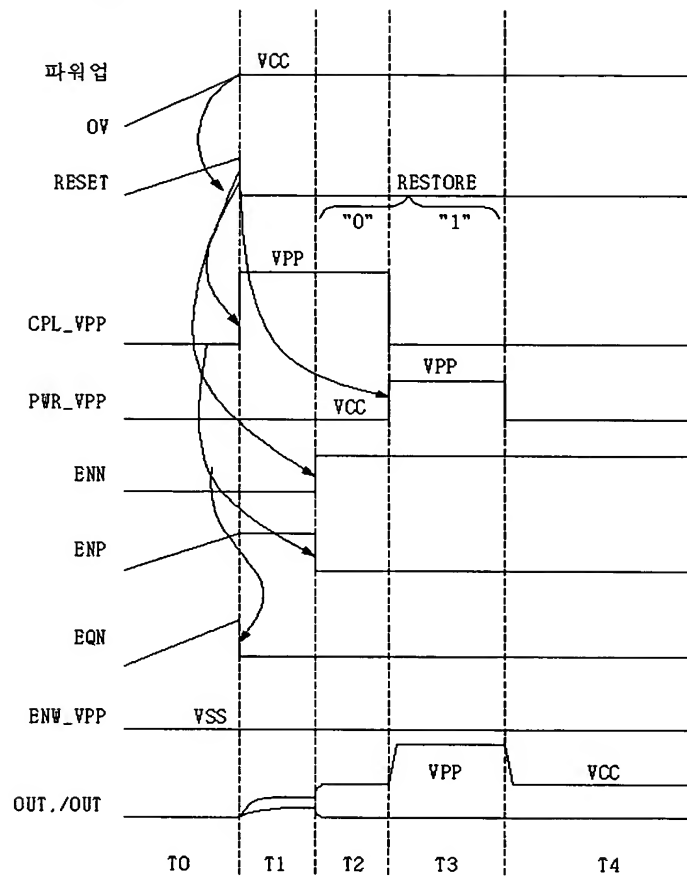
【도 12】



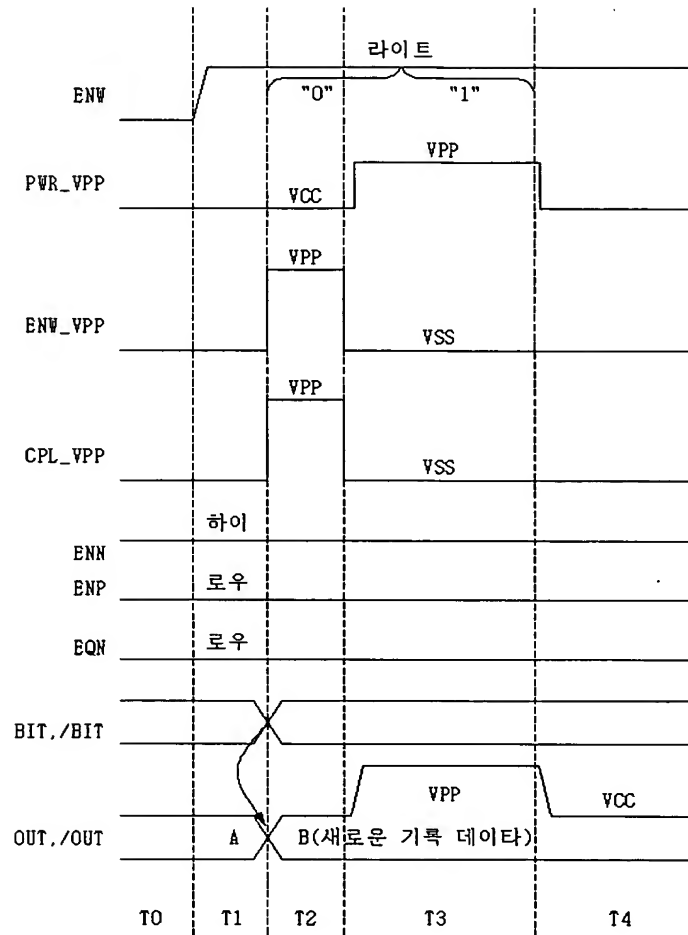
【도 13】



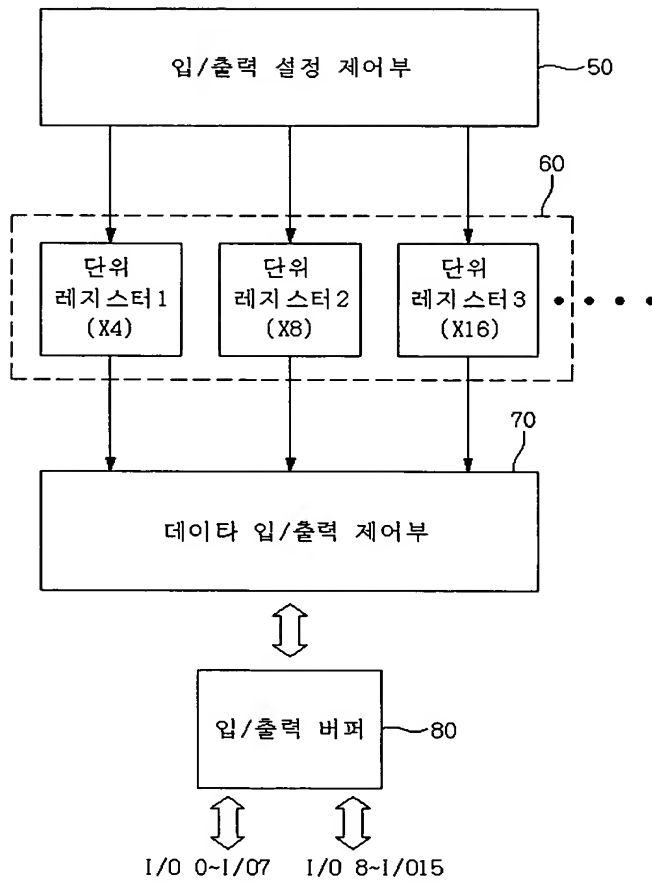
【도 14】



【도 15】



【도 16】



【도 17】

